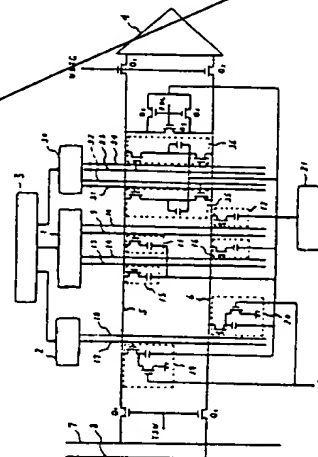


(54) SEMICONDUCTOR STORAGE DEVICE

(11) 2-158993 (A) (43) 19.6.1990 (19) JP
 (21) Appl. No. 63-314119 (22) 12.12.1988
 (71) NEC IC MICROCOMPUT SYST LTD (72) KENJI MORI(1)
 (51) Int. Cl⁵. G11C11/401

PURPOSE: To increase the operation speed by simultaneously selecting two cells connected to one of a pair of bit lines inputted to one sense amplifier to operate the sense amplifier.

CONSTITUTION: When contents of a cell 11 are in the high level and those of a cell 12 are in the low level, the level of a bit line 5 is reduced by an extent corresponding to charged electric charge of a dummy cell 19 and is lower the level of $1/2V_{cc}$ by an extent corresponding to a half of discharged electric charge of the cell 11. Since the level of a bit line 6 is lower than the level of $1/2V_{cc}$ by an extent corresponding to charged electric charge of the cell 12, a differential potential is generated between bit lines 5 and 6, and bit lines 5 and 6 go to the high level and the low level respectively by amplification of a sense amplifier 4. When they are outputted to the external through I/O lines 7 and 8, they are the inclination of the sense amplifier corresponding to "1". When the high level of the cell 11 and the low level of the cell 12 are allowed to correspond to "1" in the state before sensing, "1" is equivalently generated by operation. Thus, the operation speed is considerably increased.



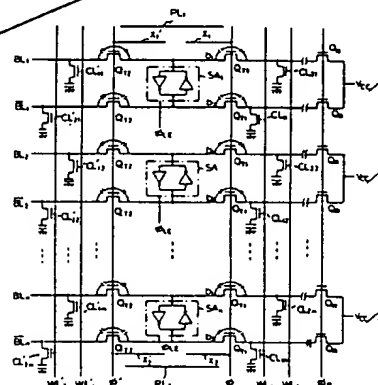
1: word selecting circuit, 2: dummy cell selecting circuit, 3: control circuit, 4: sense amplifier, 18: dummy word line, 21: $1/2V_{cc}$ generating circuit, 30: operation word selecting circuit, 32: operation word line, 36: operation cell

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 2-158994 (A) (43) 19.6.1990 (19) JP
 (21) Appl. No. 63-312799 (22) 13.12.1988
 (71) FUJITSU LTD (72) TADAO NISHIGUCHI(2)
 (51) Int. Cl⁵. G11C11/401

PURPOSE: To resolve the unbalance between both ends of a sense amplifier to accurately operate the amplifier by providing a noise source between a voltage part node, where a voltage is unsettled in a time, and a settled voltage part.

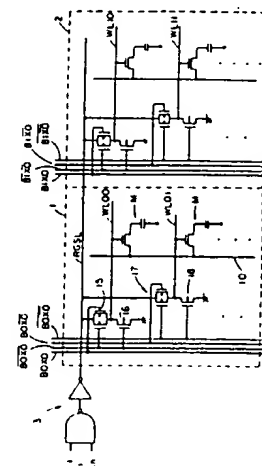
CONSTITUTION: At the initial time, all bit lines BL_1 and the inverse of BL_1 are precharged to a supply voltage V_{cc} by a reset signal ϕ_R . When the signal ϕ_R goes to the low level, line BL_1 and the inverse of BL_1 are disconnected from the power source V_{cc} and the voltage is unsettled, and lines BL_1 and the inverse of BL_1 are disconnected from a sense amplifier SA_1 by switching a clock signals ϕ' and ϕ from the high level to the low level, and noises in the same level are generated in lines BL_1 and the inverse of BL_1 , and they go to the low level. Next, the signal ϕ is set to the high level and a word line WL_2 is set to the high level for the purpose of selecting a memory cell CL_{21} . As the result, a minute potential difference ΔV is generated between lines BL_1 and the inverse of BL_1 , and is differentially amplified by the amplifier SA_1 by switching of a latch enable signal ϕ_{LE} to the high level. Thus, the sense amplifier is accurately operated to improve the performance.

**(54) SEMICONDUCTOR MEMORY DEVICE**

(11) 2-158995 (A) (43) 19.6.1990 (19) JP
 (21) Appl. No. 63-312674 (22) 9.12.1988
 (71) MITSUBISHI ELECTRIC CORP (72) YUJI KIHARA
 (51) Int. Cl⁵. G11C11/407

PURPOSE: To quickly activate a word line by giving an activating signal to divided word line means through a transmission gate means.

CONSTITUTION: When a word line $WL00$ is activated, a preword line $RGSL$ is set to the high level by a row decoder 3. A signal $B0X0$ in the high level and a signal, the inverse of $B0X0$ in the low level are given to a transmission gate 15, and the gate 15 is turned on. The line $WL00$ is set to the high level through the gate 15 by the voltage from the $RGSL$. The voltage level of a word line signal is given to the line $WL00$ without the loss. Consequently, the driving capability of a memory cell is satisfactorily displayed. The voltage rise speed of the line $WL00$ is not reduced. Since one line $RGSL$ has lines $WL00$ and $WL01$, the total sum of parasitic capacity between the line $RGSL$ and a bit line 10 is equal to (the total number of word line) $\times C \times 1/2$ to prevent a bad influence due to the parasitic capacity. Thus, divided word line means are quickly activated.



⑫ 公開特許公報(A)

平2-158995

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)6月19日

G 11 C 11/407

8522-5B

G 11 C 11/34

3 5 4 D

審査請求 未請求 請求項の数 1 (全6頁)

⑭発明の名称 半導体メモリ装置

⑰特 願 昭63-312674

⑱出 願 昭63(1988)12月9日

⑲発 明 者 木 原 雄 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

少なくとも2つのメモリアレイブロックにわたって設けられた複数の前置ワード線手段を含み、

各々の前記メモリアレイブロックにおいて、

前記前置ワード線手段の各々に対応して設けられた少なくとも2つの分割ワード線手段と、

前記前置ワード線手段の各々と前記分割ワード線手段の各々との間にそれぞれ接続された少なくとも2つのトランスマッションゲート手段とを含み、

前記トランスマッションゲート手段は、制御電極を有する或る導電型式の電界効果素子と制御電極を有する逆の導電型式の電界効果素子との並列接続によって構成され、

前記分割ワード線手段は、前記トランスマッションゲート手段を介して前記分割ワード線手段を活性化するための活性化信号を受けるように接続

され、

前記トランスマッションゲート手段を構成する2つの前記電界効果素子の制御電極は、前記分割ワード線を選択するための選択信号を受けるように接続され、

前記駆動信号または前記選択信号のいずれかが前記前置ワード線手段を介して前記トランスマッションゲート手段に与えられる、半導体メモリ装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、一般に半導体メモリ装置に関し、特に、動作速度が改善された分割ワード線方式の半導体メモリ装置に関する。

[従来の技術]

半導体メモリ装置のアクセスタイムの短縮および消費電流の低減のために、分割ワード線方式が用いられている。分割ワード線方式では、メモセルに接続されているワード線とは別に、複数のメモリアレイブロックにわたって設けられた前置

ワード線が設けられている。メモリアレイブロックを選択するためのブロック選択信号と前置ワード線信号の論理積をとることにより、メモリアレイブロックごとにワード線を選択することができる。したがって、1回のアクセスで選択されるメモリセルの数が減少でき、半導体メモリ装置の高速化および低消費電力化を図ることができる。

一般に、ワード線にはトランジスタのゲートと同じポリシリコンが使用され、前置ワード線はビット線と異なる層に設けられたアルミ配線が用いられる。したがって、ビット線と前置ワード線との間で浮遊容量が存在する。浮遊容量が存在するので、動作上の悪影響を防ぐための対策が必要となる。

第3図は、従来の分割ワード線方式を利用したダイナミックランダムアクセスメモリ（以下DRAMという）の一例を示す回路図である。第3図を参照して、このDRAMは、2つのメモリアレイブロック1および2と、メモリアレイブロック1および2にわたって設けられた前置ワード線R

GSLと、前置ワード線RGSLに接続されたロウデコード3を含む。ロウデコード3は、NAND回路およびインバータにより構成される。

たとえばメモリアレイブロック1には、1本の前置ワード線RGSLに対して、メモリセルMが接続された1本のワード線WLOが設けられる。前置ワード線RGSLとワード線WLOとの間にNMOSTランジスタ11が接続され、ワード線WLOと接地との間にNMOSTランジスタ12が接続される。トランジスタ11および12のゲートはそれぞれブロック選択信号B0および $\overline{B0}$ を受けると接続される。一方、メモリアレイブロック2も同様の回路構成を有し、ブロック選択信号としてB1および $\overline{B1}$ が与えられる。

動作において、ロウデコード3は、Xアドレス信号X0ないしXnに応答して、2本の前置ワード線のうち1本の前置ワード線RGSLのみを選択的に高レベルにもたらし、したがって、メモリアレイブロック1のワード線WLOが選択されるとき、高レベルのブロック選択信号B0が与え

られ、トランジスタ11がこの信号B0に응答してオンする。その結果、ワード線WLOが高レベルにもたられ、メモリセルMに対してアクセスがなされる。

第4図は、従来の分割ワード線方式を利用したDRAMの他の例を示す回路図である。第4図を参照して、このDRAMでは、1本の前置ワード線RGSLに対して2本のワード線が設けられている。たとえばメモリアレイブロック1では、ワード線WLO0およびWLO1が設けられ、これらを選択的に活性化するためのNANDゲート13およびインバータ14が接続されている。NANDゲート13は、一方入力が前置ワード線RGSLに接続され、他方入力がブロック選択信号B0およびXアドレス信号X0または $\overline{X0}$ の論理積の信号を受けると接続される。一方、メモリアレイブロック2も同様の回路構成を持つ。

動作において、たとえばメモリアレイブロック1中のワード線WLO0が活性化されるとき、高レベルの論理積信号B0X0が与えられる。その

結果、ワード線WLO0のみが選択的に高レベルにもたえられる。

〔発明が解決しようとする課題〕

第3図に示されたDRAMでは、1本の前置ワード線RGSLと1本のビット線10との間に生じる寄生容量をCとすると、寄生容量の総和が（ワード線総数）×Cとなり、かなり大きな値となる。また、前置ワード線とワード線との間をNMOSTランジスタのみによって接続しているので、高レベルのときのワード線の電圧レベルが電源電圧のレベルよりもトランジスタのしきい電圧分だけ減少され、その結果、メモリセルの駆動能力が低下される。さらに、NMOSTランジスタを介してワード線を高レベルにもたらすので、トランジスタのドレインの電圧レベルの上昇に伴ないトランジスタ（たとえば11）がオフ状態にもたえられる。その結果、ワード線の電圧レベルが上昇する速度がPMOSTランジスタを用いた場合よりも遅くなる。

第4図に示されたDRAMでは、1本の前置ワ

ード線に対し2本のワード線が設けられているので、前置ワード線とビット線との間に生じる寄生容量の総和が(ワード線総数) $\times C \times 1/2$ となり減少される。また、ワード線の電圧レベルも電源電圧レベルまで上昇するので、上記のような遅延は少ないが、NANDゲート13およびインバータ14により遅延が引き起こされ、高速動作を妨げる。

この発明は、上記のような課題を解決するためになされたもので、分割ワード線方式を利用した半導体メモリ装置において、分割ワード線の活性化を高速に行なうことを目的とする。

[課題を解決するための手段]

この発明にかかる半導体メモリ装置は、少なくとも2つのメモリアレイブロックにわたって設けられた複数の前置ワード線手段を含み、各々のメモリアレイブロックにおいて、前置ワード線手段の各々に対応して設けられた少なくとも2つの分割ワード線手段と、前置ワード線手段の各々と分割ワード線手段の各々との間にそれぞれ接続され

スを防ぐことができる。これに加えて、前置ワード線手段の各々に対応して2以上の分割ワード線手段が設けられているので、前置ワード線手段の数を減じることができ、前置ワード線手段に付随する寄生容量の総和を減じることができる。以上の結果、分割ワード線手段の活性化が高速に行なわれる。

[発明の実施例]

第1図は、この発明の一実施例を示す分割ワード線方式を利用したDRAMの回路図である。第1図を参照して、このDRAMは、2つのメモリアレイブロック1および2と、メモリアレイブロック1および2にわたって設けられた前置ワード線RGS Lと、前置ワード線RGS Lに接続されたロウデコード3とを含む。たとえば、メモリアレイブロック1において1本の前置ワード線RGS Lに対して、メモリセルMに接続された2本のワード線WL00およびWL01とが設けられる。前置ワード線RGS Lとワード線WL00とがトランスミッションゲート15を介して接続される。

た少なくとも2つのトランスミッションゲート手段とを含む。トランスミッションゲート手段は、或る導電型式の電界効果素子と逆の導電型式の電界効果素子との並列接続によって構成される。分割ワード線手段は、トランスミッションゲート手段を介して分割ワード線手段を活性化するための活性化信号を受けるように接続される。また、トランスミッションゲート手段を構成する2つの電界効果素子の制御電極は、分割ワード線手段を選択するための選択信号を受けるように接続される。さらに、駆動信号または選択信号のいずれかが前置ワード線手段を介してトランスミッションゲートに与えられる。

[作用]

この発明における半導体メモリ装置では、前置ワード線手段と分割ワード線手段との間にトランスミッションゲート手段が設けられ、分割ワード線手段を活性化するための活性化信号はトランスミッションゲート手段を介して分割ワード線手段に与えられるので、活性化信号の電圧レベルのロ

トランスミッションゲート15は、PMOSトランジスタおよびNMOSトランジスタの並列接続により構成される。トランスミッションゲート15を構成する2つのトランジスタのゲートが信号 $\overline{B0X0}$ および $B0X0$ を受けるように接続される。ワード線WL00と接地との間にNMOSトランジスタ16が接続される。トランジスタ16のゲートは信号 $\overline{B0X0}$ を受けるように接続される。

同様にして、ワード線WL01についても、トランスミッションゲート17が前置ワード線RGS Lとワード線WL01との間に接続され、また、NMOSトランジスタ18がワード線WL01と接地との間に接続される。トランスミッションゲート17を構成する2つのトランジスタのゲートが信号 $\overline{B0X0}$ および $B0X0$ を受けるように接続され、トランジスタ18のゲートが信号 $\overline{B0X0}$ を受けるように接続される。なお、メモリアレイブロック2についても、同様の回路構成がなされている。

動作において、たとえばワード線W L O Oが活性化されるとき、前置ワード線R G S Lがロウデコード3により高レベルにもたらされる。高レベルの信号B O X Oおよび低レベルの信号 $\overline{B O X O}$ が与えられ、トランスマッションゲート15はオンする。したがって、ワード線W L O Oがトランスマッションゲート15を介して前置ワード線R G S Lからの電圧により高レベルにもたらされる。

前置ワード線R G S Lとワード線W L O Oとの間がトランスマッションゲート15により接続されるので、前置ワード線信号の電圧レベルがロスを生じることなくワード線W L O Oに与えられる。したがって、メモリセルの駆動能力を十分引き出すことができる。また、ワード線W L O Oの電圧が高レベルに上昇する速度も遅くなることはない。

また、1本の前置ワード線R G S Lに対して、2本のワード線W L O OおよびW L O 1が設けられているので、前置ワード線R G S Lとビット線10との間に生じる寄生容量の総和が(ワード線総数) $\times C \times 1/2$ となり、寄生容量による悪影

響を防ぐこともできる。

第2図は、この発明の別の実施例を示す分割ワード線方式を利用したD R A Mの回路図である。第2図を参照して、第1図に示されたD R A Mと比較して異なる点は、ワード線を活性化するための電圧がブロック選択信号B OとXアドレス信号X Oまたは $\overline{X O}$ の論理積の信号によって供給され、また、前置ワード線信号がトランジスタのスイッチング制御のために使用されることである。すなわち、たとえばメモリアレイブロック1において、ワード線W L O Oがトランスマッションゲート15を介して信号B O X Oを受けると接続される。トランスマッションゲート15を構成するトランジスタのゲートが前置ワード線信号およびインバータ10によって反転された信号を受けると接続される。また、ワード線W L O Oと接地との間に接続されたN M O Sトランジスタ16のゲートが前置ワード線R G S Lに接続される。

動作において、ワード線W L O Oが活性化されるとき、トランスマッションゲート15を介して

与えられる高レベルの論理積信号B O X Oの電圧により、ワード線W L O Oが高レベルにもたらされる。第1図に示されたD R A Mの場合と同様に、信号B O X Oの電圧レベルがワード線W L O Oに与えられることになり、同様の効果が得られる。

[発明の効果]

以上のように、この発明によれば、分割ワード線手段を活性化するための活性化信号がトランスマッションゲート手段を介して分割ワード線手段に与えられるので、活性化信号の電圧レベルが減少されることなく、したがって分割ワード線手段の活性化が高速に行なわれる。また、1つの前置ワード線手段に対して2以上の分割ワード線手段が設けられているので、前置ワード線手段に付随する浮遊容量も大幅に減少される。

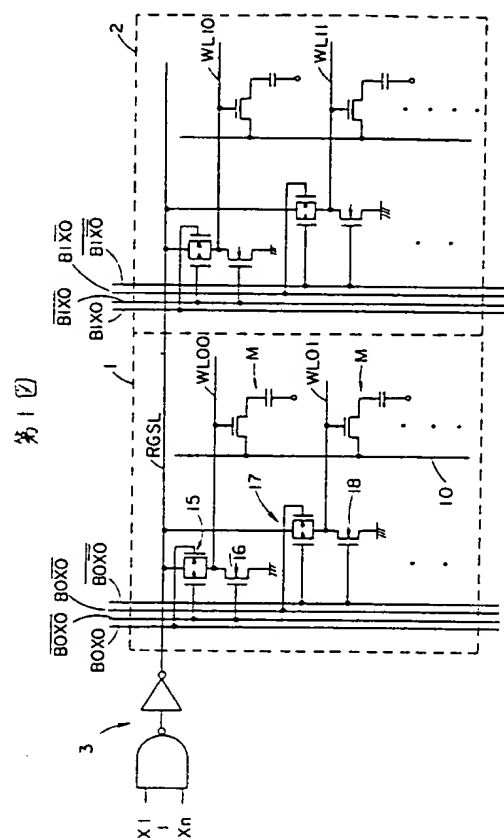
4. 図面の簡単な説明

第1図は、この発明の一実施例を示す分割ワード線方式を利用したD R A Mの回路図である。第2図は、この発明の別の実施例を示す分割ワード線方式を利用したD R A Mの回路図である。第3

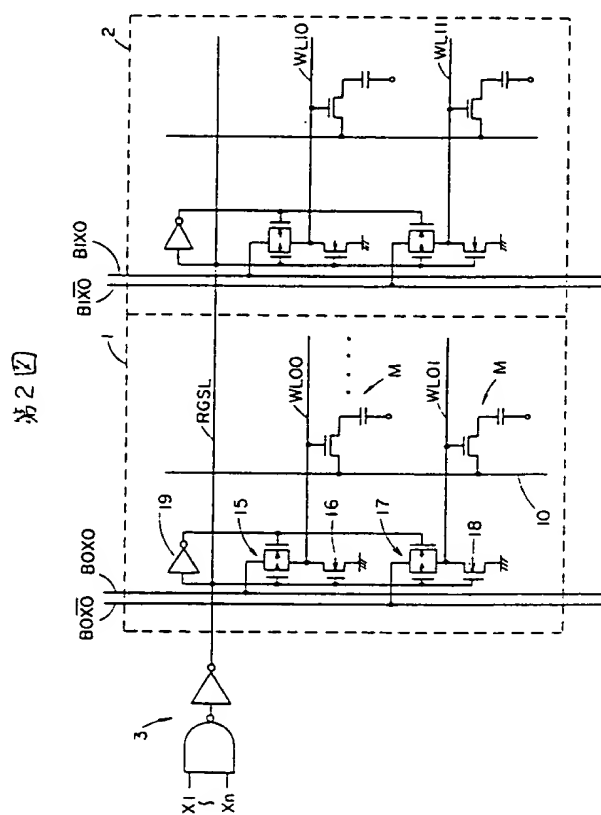
図は、従来の分割ワード線方式を利用したD R A Mの一例を示す回路図である。第4図は、従来の分割ワード線方式を利用したD R A Mの別の例を示す回路図である。

図において、1、2はメモリアレイブロック、3はロウデコード、10はビット線、Mはメモリセル、R G S Lは前置ワード線、W L O OないしW L 1 1はワード線である。

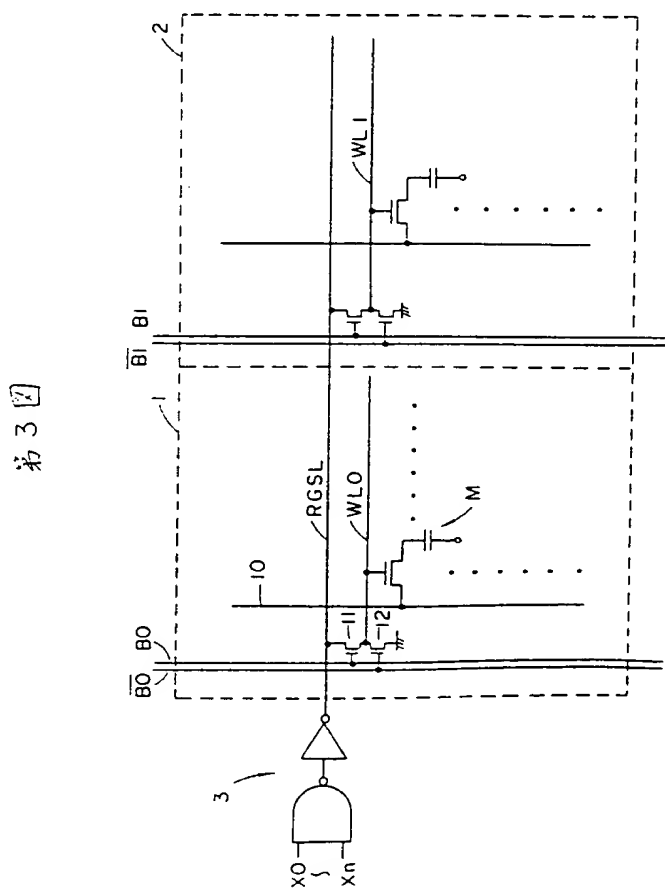
代理人 大 岩 増 雄



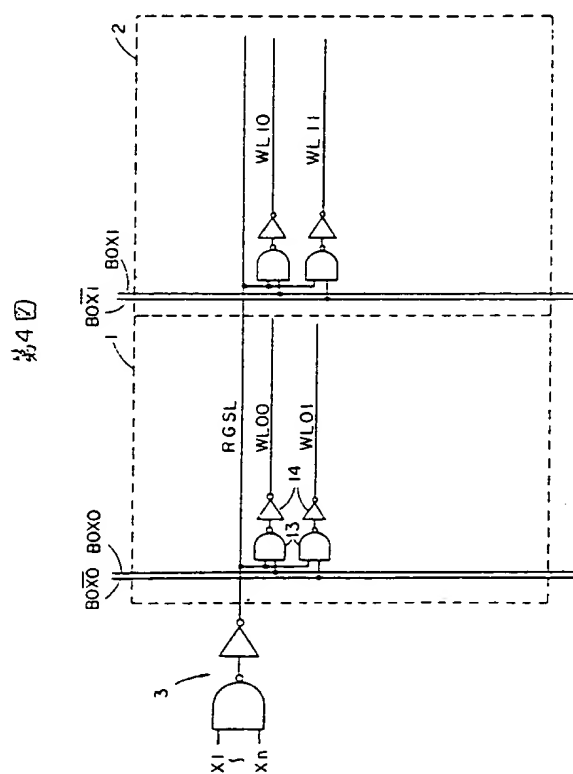
1, 2 : 1E'17417047 3 : 0743-9"



第2回



第3圖



第40

手続補正書(自発)

平成 19 年 12 月 27 日
昭和 31 年 12 月 27 日

特許庁長官殿

1. 事件の表示 特願昭 63-312674 号

2. 発明の名称
半導体メモリ装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先 03(213)3421 特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄および図面の第2図

6. 補正の内容

(1) 明細書第12頁第19行ないし第20行の「ワード線WLOOが活性化されるとき」を「前置ワード線RGSLが活性化されて低レベルになるとき」に訂正する。

(2) 図面の第2図を別紙のとおり訂正する。

以上

方 式 登 録



第2図

